|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **Ime:** | | ***Andrija*** | | ***Broj indeksa:*** | | ***18015*** |
| **Prezime:** | | ***Tošić*** | | | | |
| **LV po redu:** | *III* | | ***Termin:*** | | *3* | |
| **Datum i vreme početka izrade** | | | *19.05.2021. 15:03* | | | |

**Zadatak:**

Na VHDL-u, korišćenjem procesa i sensitivity listi opisati brojač osnove n (n je generic konstanta) brojač koji broji naniže . Dodatni ulazi: WR - dozvola paralelnog upisa, Din - paralelni ulaz. Brojač realizovati kao kružni. Brojač broji u taktnim intervalima kada nije aktivan WR. Kreirati testbenč sa talasnim oblicima ulaza koji demonstriraju sve osobine kola - željene i nepoželjne. U testbenč ugraditi generator kloka pogodne periode. Pripremiti se za diskusiju ponašanja kola u svim karakterističnim situacijama.

**Rešenje:**

1. **Kôd rešenja i testbenč**

entity brojac is

    generic (n : integer := 8);

    port(

        WR, CLK : in bit;

        Din : in integer range 0 to n-1;

        Dout : out integer;

    );

end brojac;

architecture arch of brojac is

    begin

    process(clk) is

        variable q : integer := n-1;

        begin

            if clk'event and clk = '1' then

                if WR = '1' then

                    q := Din;

                else

                    q := (q - 1) mod n;

                end if;

            end if;

            dout <= q;

    end process;

end arch;

entity tb is

    generic (br : integer := 4);

end tb;

architecture tb\_arch of tb is

        signal wr, clk : bit;

        signal Din : integer range 0 to br-1;

        signal Dout : integer;

    begin

    uut: entity work.brojac(arch)

        generic map (n => br)

        port map(wr, clk, din, dout);

        takt: process is

        begin

            clk <= '0';

            wait for 1 ns;

            clk <= '1';

            wait for 1 ns;

        end process;

        process is

        begin

            wait for 2.5 ns;

            din <= 3;

            wr <= '1';

            wait for 1 ns;

            wr <= '0';

            wait for 12.5 ns;

            din <= 2;

            wr <= '1';

            wait for 1.5 ns;

            wr <= '0';

            wait for 2 ns;

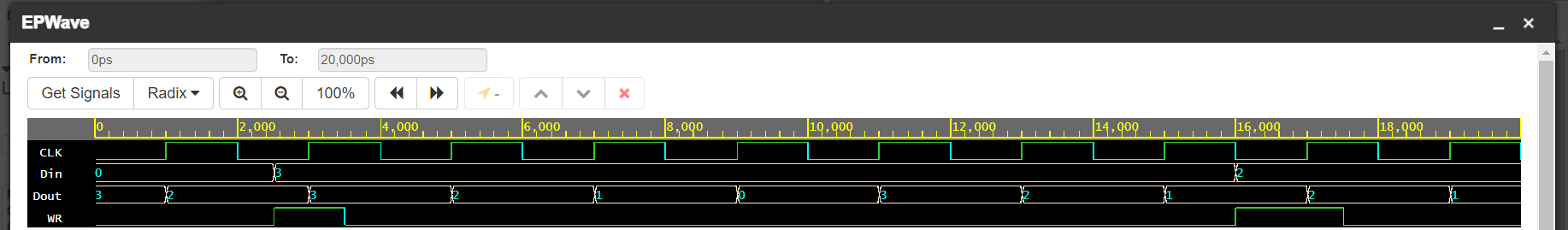
            din <= 7;

            wait;

        end process;

end tb\_arch;

1. ***Waveform* rezultata simulacije**



1. **Diskusija rešenja**

|  |  |  |
| --- | --- | --- |
| **Slučaj:** Početak simulacije i inicijalna vrednost brojača | poželjno | Funkcionisanje kola je ispravno?  DA |
| **Opis** | | |
| t=0ns, WR = 0, još 2.5 ns do prve aktivne ivice takta (brojač broji naniže na opadajuću ivicu takta po mom izvoru, nije specificirano u zadatku). Vrednost brojača je uspešno inicijalizovana na n-1, što je u testbench-u 3, zato što je izvršen generic map konstante n u entitetu testbench-a. | | |

|  |  |  |
| --- | --- | --- |
| **Slučaj:** Prvi paralelni upis u brojač | poželjno | Funkcionisanje kola je ispravno?  DA |
| **Opis** | | |
| U trenutku t=2.5 ns, signal WR se postavlja na 1, i ostaje aktivna jedinica do trenutka t=3.5 ns. Na rastućoj ivici kloka u trenutku t=2 ns, pošto je na signalu Din=3, brojač ne broji, već se upisuje u brojač 3. | | |
|  | | |

|  |  |  |
| --- | --- | --- |
| **Slučaj:** Brojanje naniže | poželjno | Funkcionisanje kola je ispravno?  DA |
| **Opis** | | |
| Od trenutka t=2.5 ns, pa sve do t=16 ns brojač broji naniže (kružno) uspešno na rastuću ivicu taktnog signala. | | |

|  |  |  |
| --- | --- | --- |
| **Slučaj:** Drugi paralelni upis u brojač | poželjno | Funkcionisanje kola je ispravno?  DA |
| **Opis** | | |
| Od trenutka t=16 ns do t=17.5 ns signal WR = 1. Na rastućoj ivici takta se ponovo uspešno upisuje vrednost, to je Din=2 ovog puta. Nakon toga brojač nastavlja sa brojanjem. | | |

|  |  |  |
| --- | --- | --- |
| **Slučaj:** Pokušaj upisa vrednosti van definisanog opsega | nepoželjno | Funkcionisanje kola je ispravno?  DA |
| **Opis** | | |
| U trenutku t = 19.5 ns dolazi do pokušaja dodele vrednosti 7 signalu Din. Ovo nije moguće, zato što je opseg vrednosti signala Din ograničen celim brojem od 0 do br-1, a br je u testbench-u jednak 3. Simulacija se naglo prekida, jer dolazi do greške i zaustavlja se u trenutku t = 19.5 ns: Da nisam ograničio sa integer range 0 to n-1, brojač bi mogao da broji i van opsega, što bi bilo neispravno funkcionisanje kola. | | |

1. ***Samoevaluacija***

*Na skali 0-5 (0 - „nikako“, „nimalo“; 5 - „potpuno“), u kom stepenu smatrate da ste:*

|  |  |  |
| --- | --- | --- |
| **a)** | ***došli pripremljeni na vežbu*** | ***4*** |
| **b)** | ***razumeli zadatak*** | ***5*** |
| **c)** | ***ispunili zahteve zadatka*** | ***5*** |
| **d)** | ***pruočili i opisali funkcionisanje svog rešenja*** | ***5*** |
| **e)** | ***Imali dovoljno vremena za vežbu*** | ***5*** |
| **f)** | ***unapredili svoje znanje u toku vežbe*** | ***3*** |
|  | | |

Izjava

*Izjavljujem da sam lično kreirao/la rešenje zadatka i ovaj izveštaj.*

*U toku vežbe, za sastavljanje rešenja i izveštaja NISAM dobio/la pomoć od drugih.*

*Andrija Tošić, 19.05.2021. 16:29*

***NAPOMENE:***

*Korišćenje materijala koji je obavljen za kurs i informacija objavljenih na forumu ili kanalima kursa ne treba da se navodi u ovoj izjavi.*

*Viber grupe, grupe na socijalnim mrežama i sl. nakon čijeg korišćenja ne može u izjavi da se identifikuje izvor pomoći, nisu preporučljive.*

*Uočene sličnosti u rešenjima i izveštajima koje se ne mogu povezati sa kontaktima prijavljenim u izjavi će biti tretirane kao neakademsko ponašanje i sankcionisane izuzimanjem iz ocenjivanja svih radova kod kojih je sličnost uočena.*

***Pre predaje, sačuvati dokument sa imenom po obrascu: <brInd>\_<LVbroj> Npr. 12345\_2\_3. docx – za studenta sa brojem indeksa 12345, koji radi LV2.***